



DATOS IDENTIFICATIVOS

Deseño e síntese de sistemas dixitais

Materia	Deseño e síntese de sistemas dixitais			
Código	V05G300V01923			
Titulación	Grao en Enxeñaría de Tecnoloxías de Telecomunicación - En extinción			
Descritores	Creditos ECTS 6	Sinale OP	Curso 4	Cuadrimestre 1c
Lingua de impartición	Inglés			
Departamento	Tecnoloxía electrónica			
Coordinador/a	Álvarez Ruiz de Ojeda, Luís Jacobo			
Profesorado	Álvarez Ruiz de Ojeda, Luís Jacobo			
Correo-e	jalvarez@uvigo.es			
Web	http://www.faitic.uvigo.es			
Descrición xeral	A materia impártese e avalíase en inglés. A documentación da materia está en inglés. Os obxectivos que se perseguen con esta materia son: Introdución ao VHDL sintetizable. Deseño e síntese de sistemas dixitais síncronos. Desenvolvemento, síntese e verificación de circuitos dixitais programables, utilizando o VHDL para a súa aplicación no ámbito das Telecomunicacións.			

Competencias

Código	
B1	CG1 Capacidade para redactar, desenvolver e asinar proxectos no ámbito da enxeñaría de telecomunicación que teñan por obxecto, de acordo cos coñecementos adquiridos segundo o establecido no epígrafe 5 desta orde, a concepción e o desenvolvemento ou a explotación de redes, servizos e aplicacións de telecomunicación e electrónica.
B9	CG9 Capacidade para traballar nun grupo multidisciplinar e nunha contorna multilingüe e de comunicar, tanto por escrito como de forma oral, coñecementos, procedementos, resultados e ideas relacionadas coas telecomunicacións e a electrónica.
B13	CG13 Capacidade para manexar ferramentas software que apoien a resolución de problemas en enxeñaría.
C62	(CE62/OP5) Capacidade para deseñar e sintetizar sistemas dixitais complexos por medio de linguaxes de descrición de hardware.
D4	CT4 Favorecer o traballo cooperativo, as capacidades de comunicación, organización, planificación e aceptación de responsabilidades nun ambiente de traballo multilingüe e multidisciplinar, que favoreza a educación para a igualdade, para a paz e para o respecto dos dereitos fundamentais.

Resultados de aprendizaxe

Resultados previstos na materia	Resultados de Formación e Aprendizaxe		
Coñecer as diferenzas das linguaxes de descrición *hardware aplicados á simulación e á síntese.	B13	C62	
Profundar nas técnicas de deseño dixital *síncrono con *VHDL *sintetizable.	B13	C62	
Adquirir habilidades para o deseño de sistemas dixitais *síncronos complexos utilizando a linguaxe de descrición *hardware *VHDL.	B1 B9 B13	C62	D4

Contidos

Tema

TEMA 1 TEORÍA (2 h.). INTRODUCCIÓN AO DESEÑO E SÍNTESE DE SISTEMAS DIXITAIS COMPLEXOS.	1.1.- Introducción. 1.2.- Tipos de circuitos integrados dixitaís. Microprocesadores. DSPs. ASICs. FPGAs. 1.2.1.- Análise comparativa. 1.3.- Conxuntos Programables de Puertas (FPGAs). 1.4.- Deseño de sistemas dixitaís complexos de aplicación específica mediante FPGAs. 1.4.1.- Sistemas de procesado secuencial. Unidade operativa. Unidade de control. 1.4.2.- Sistemas de procesado continuo.
TEMA 2 TEORÍA (2 h.). DESEÑO AVANZADO DE SISTEMAS DIXITAIS.	2.1.- Introducción. 2.2.- Normas xerais para o deseño de sistemas dixitaís. 2.2.1.- Deseño xerárquico. 2.2.2.- Deseño trasladable a outras tecnoloxías. 2.2.3.- Deseño temporal. 2.2.4.- Deseño para reutilización. 2.2.5.- Deseño para verificabilidade. 2.2.6.- Documentación do deseño. 2.3.- Circuitos prediseñados ("IP cores").
TEMA 3 TEORÍA (2 h.). INTRODUCCIÓN Á SÍNTESE DE SISTEMAS DIXITAIS DESCRITOS EN VHDL.	3.1.- Introducción. 3.2.- Definición de síntese. Conceptos básicos sobre sínteses. 3.3.- Conversión dunha descrición en VHDL a "hardware" real. Diferenzas entre o modelo orixinal e o resultado da síntese / implementación. Modelo de simulación posterior á implementación. 3.4.- Recomendacións para a descrición en VHDL sintetizable de distintos tipos de circuitos. 3.5.- Exemplos de modelos sintetizables de circuitos comunmente utilizados.
TEMA 4 TEORÍA (4 h.). SENTENZAS AVANZADAS DA LINGUAXE VHDL.	4.1.- Introducción. 4.2.- Acceso a ficheiros. 4.2.1.- Inicialización de memorias. 4.2.2.- Estímulos para bancos de probas. 4.3.- Tipo de datos xenérico (generic). Circuitos parametrizables. 4.4.- Bibliotecas e paquetes. 4.5.- Subprogramas. 4.5.1.- Funcións. 4.5.2.- Procedementos. 4.6.- Compilación condicional.
TEMA 5 TEORÍA (6 h.). VHDL PARA SÍNTESE. RESTRICIÓN.	5.1.- Introducción. 5.2.- Estándar IEEE para síntese. 5.3.- Sentenzas temporais (After, Wait). 5.4.- Bucles (Loop). Bucles generate. 5.5.- Tipo de datos real (Real). Conversión de tipos. 5.6.- Operacións aritméticas complexas. División (/). 5.7.- Funcións matemáticas complexas. (Sen, Cos, Log). 5.8.- Matrices bidimensionales. (Array). 5.9.- Exercicios de modelos non sintetizables e de circuitos equivalentes sintetizables.
TEMA 6 TEORÍA (2 h.). DESEÑO DE CIRCUÍTOS ARITMÉTICOS EN VHDL.	6.1.- Introducción. 6.2.- Representación de números binarios con parte decimal. Coma fixa. Coma flotante. 6.3.- Deseño de aplicacións de coma fixa. 6.4.- Deseño de aplicacións de coma flotante. 6.5.- Implementación de circuitos aritméticos en FPGAs.
TEMA 7 TEORÍA (1 h.). VERIFICACIÓN DE SISTEMAS DIXITAIS COMPLEXOS.	7.1.- Introducción. 7.2.- Verificación mediante simulación. 7.2.1.- Sinaís. Modelos de retardos. Concepto de driver. 7.2.2.- Análise e simulación dun deseño. Ciclo de simulación. Retardo delta. 7.2.3.- Recomendacións para a simulación en VHDL de distintos circuitos. Realización de bancos de probas. 7.2.4.- Diferenzas entre simulación funcional e temporal. 7.3.- Verificación mediante análise de retardos. 7.4.- Verificación mediante comprobación do circuito nunha placa de desenvolvemento. 7.5.- Exercicios.

TEMA 1 LABORATORIO (4 h. TIPO B). PRÁCTICA TUTORIAL DE DESEÑO E SÍNTESE DUN SISTEMA DIXITAL.	1.1.- Introducción. 1.2.- Deseño dun sistema dixital básico en VHDL sintetizable. 1.3.- Realización dun banco de probas en VHDL para o sistema dixital deseñado. 1.4.- Implementación do sistema dixital deseñado na FPGA elixida. 1.5.- Proba do sistema dixital deseñado.
TEMA 2 LABORATORIO (2 h. TIPO B). DEPURACIÓN DUN SISTEMA DIXITAL MEDIANTE ANALIZADORES LÓXICOS VIRTUAIS.	2.1.- Introducción. 2.2.- Analizador lóxico virtual de Xilinx. Core Chipscope. 2.3.- Parámetros do analizador lóxico virtual de Xilinx. 2.4.- Implementación do analizador lóxico virtual de Xilinx. 2.5.- Análise dun sistema dixital mediante o analizador lóxico virtual de Xilinx.
TEMA 3 LABORATORIO. (15 h. = 8 h. TIPO B + 7 h. TIPO C). TRABALLO DE DESEÑO DUN SISTEMA DIXITAL DE COMPLEXIDADE MEDIA MEDIANTE VHDL SINTETIZABLE.	3.1.- Introducción. Explicación do traballo. (2 h. TIPO B) 3.2.- Aprendizaxe baseada en proxectos. Discusións sobre o enfoque máis adecuado do traballo. (6 h. TIPO C) 3.2.- Deseño dun sistema dixital de complexidade media en VHDL sintetizable. (6 h. TIPO B) 3.3.- Presentación do traballo. (1 h. TIPO C)

Planificación

	Horas na aula	Horas fóra da aula	Horas totais
Lección maxistral	4	8	12
Aprendizaxe baseado en proxectos	15	31.5	46.5
Prácticas de laboratorio	6	7.5	13.5
Aprendizaxe baseado en proxectos	14	51	65
Presentación	1	8	9
Actividades introdutorias	2	2	4

*Os datos que aparecen na táboa de planificación son de carácter orientador, considerando a heteroxeneidade do alumnado.

Metodoloxía docente

	Descrición
Lección maxistral	Presentación por parte do profesor do temario da materia. Con esta metodoloxía desenvólvese a competencia CE62/OP5.
Aprendizaxe baseado en proxectos	Aprendizaxe baseada en problemas (ABP): Resolución de problemas de deseño de modelos non sintetizables e circuitos sintetizables en VHDL expostos polo profesor. Para resolvelos, o alumno debe desenvolver previamente determinadas competencias. Con esta metodoloxía desenvólvense as competencias CG9, CG13 y CE62/OP5.
Prácticas de laboratorio	Nestas prácticas exporase o desenvolvemento de prácticas guiadas de realización de circuitos en VHDL. Software empregado: Vivado Design Suite de Xilinx Con esta metodoloxía desenvólvense as competencias CG9, CG13 y CE62/OP5.
Aprendizaxe baseado en proxectos	Ensinanza baseada en proxectos de aprendizaxe: Proponse aos estudantes realizar un proxecto para deseñar un sistema dixital en VHDL para resolver un problema que plantexa o profesor mediante a planificación, o deseño e a realización das actividades necesarias. O desenvolvemento dos proxectos realizarase en horas de laboratorio tipo B. Ademais, estarán dispoñibles grupos pequenos en horas tipo C que permitan facer o seguimento dos proxectos a desenvolver na materia. Actividades a desenvolver nos grupos C: Análise e debate sobre o foco dos proxectos a realizar. Alternativas de deseño. Análise e seguimento da solución proposta. Demostración do funcionamento dos sistemas deseñados. Análise e debate de resultados.
Presentación	Con esta metodoloxía desenvólvense as competencias CG1, CG9, CG13 e CE62 / OP5. Presentacións/exposicións: Exposición dos resultados do proxecto realizado.
Actividades introdutorias	Con esta metodoloxía desenvólvense as competencias CG1 e CG9. Introdución aos diferentes temas clave da materia tanto na súa compoñente teórica como práctica.
	Con esta metodoloxía desenvólvense as competencias CG13 y CE62/OP5.

Atención personalizada

Metodoloxías	Descrición
Aprendizaxe baseado en proxectos	Nas clases atenderanse as dúbidas dos alumnos. Ademais, os estudantes terán ocasión de acudir a tutorías personalizadas no despacho dos profesores da materia no horario que os profesores establecerán para ese efecto a principio de curso e que se publicará na páxina da materia.
Prácticas de laboratorio	Nas clases atenderanse as dúbidas dos alumnos. Ademais, os estudantes terán ocasión de acudir a tutorías personalizadas no despacho dos profesores da materia no horario que os profesores establecerán para ese efecto a principio de curso e que se publicará na páxina da materia.
Aprendizaxe baseado en proxectos	Nas clases atenderanse as dúbidas dos alumnos. Ademais, os estudantes terán ocasión de acudir a tutorías personalizadas no despacho dos profesores da materia no horario que os profesores establecerán para ese efecto a principio de curso e que se publicará na páxina da materia.

Avaliación				
	Descrición	Cualificación	Resultados de Formación e Aprendizaxe	
Aprendizaxe baseado en proxectos	Aprendizaxe baseada en problemas. Resolución de exercicios e problemas teóricos. A maioría deles centraranse no deseño de modelos non sintetizables e circuítos sintetizables en VHDL. O contido correspóndese cos temas de teoría. Será necesario ensinar ao profesor o funcionamento de cada un dos modelos e circuítos. Avaliarase a correcta aplicación dos conceptos teóricos aos problemas realizados, de acordo aos criterios de valoración. Será necesario entregar a documentación solicitada polo profesor para cada un dos exercicios realizados.	50	B13	C62
Aprendizaxe baseado en proxectos	Ensino baseado en proxectos. Traballo autónomo de deseño dun sistema dixital sintetizable de complexidade media en VHDL. Será necesario entregar os ficheiros fonte do traballo realizado. Avaliarase o funcionamento do sistema dixital realizado e a correcta aplicación dos conceptos teóricos ao deseño do sistema dixital, de acordo aos criterios de valoración.	40	B1 B9 B13	C62 D4
Presentación	Será necesario realizar unha presentación oral de máximo 15 minutos sobre o traballo práctico autónomo realizado, segundo o índice fornecido polo profesor.	10	B1 B9	D4

Outros comentarios sobre a Avaliación

A nota da materia será a suma das notas correspondentes ás distintas tarefas da materia.

A nota global dos exercicios teóricos debe ser maior ou igual que 5 sobre 10 para poder aprobar a materia.

A nota do traballo práctico autónomo debe ser maior ou igual que 5 sobre 10 para poder aprobar a materia.

Ofreceráse aos alumnos que cursen esta materia dous sistemas de avaliación: avaliación continua e avaliación única.

Todos os alumnos, tanto os que sigan a materia de forma continua como os que queiran optar pola avaliación única (primeira ou segunda oportunidade ou avaliación extraordinaria), deberán realizar as tarefas descritas no apartado anterior.

Os alumnos que non asistan a clase regularmente deberán realizar as mesmas tarefas que os alumnos asistentes a clase.

A cualificación final expresaráse de forma numérica entre 0 e 10.

AVALIACIÓN CONTINUA:

O feito de realizar 2 prácticas de laboratorio ou 2 boletíns de exercicios teóricos supón que o alumno opta pola avaliación continua.

Os alumnos que opten por avaliación continua, pero non aproben a materia mediante esta modalidade, deberán realizar a avaliación completa na avaliación única (segunda oportunidade).

Os alumnos que aproben a materia mediante avaliación continua non poderán repetir de novo na avaliación única ningunha

tarefa co obxectivo de subir a nota.

As distintas tarefas deben entregarse na data especificada polo profesor. Se non é así, non serán cualificadas para a avaliación continua.

Os alumnos realizarán os exercicios teóricos e as prácticas de laboratorio de forma individual. Os traballos de laboratorio realizaranse en grupos de dous alumnos durante a avaliación continua, mais evaluarase aos alumnos individualmente, para o cal pedirase aos alumnos na exposición oral que indiquen qué parte do traballo realizaron cada ún.

Se se segue a materia de forma continua, pódese faltar como máximo a 2 sesións. Se se faltou a máis de 2 sesións, será obrigatorio realizar un traballo individual adicional ou un exame.

AVALIACIÓN ÚNICA (primeira oportunidade, segunda oportunidade) E **AVALIACIÓN EXTRAORDINARIA** (fin de carreira)

Os alumnos que opten pola avaliación única deberán realizar todas as tarefas teóricas e prácticas e os traballos individualmente.

A entrega das tarefas para a avaliación única debe realizarse antes da data oficial do exame establecida polo centro.

En caso de superar os exercicios teóricos (ET) e o traballo autónomo (TA), é dicir, que a nota de cada parte ≥ 5 , a cualificación final (NF) será a suma ponderada das notas de cada parte da materia:

$$NF = 0,50 * ET + 0,40 * TA + 0,10 * PO$$

En caso de non superar as dúas probas (nota dalgunha proba < 5), a cualificación final (NF) será:

$$NF = \text{mínimo} [4,5 ; (NF = 0,50 * ET + 0,40 * TA + 0,10 * PO)] \text{ sendo:}$$

ET = Nota conxunta dos exercicios e problemas teóricos.

TA = Traballo Autónomo práctico.

PO = Presentación Oral.

Exercicios e problemas teóricos.

Avaliarase cada un dos exercicios e problemas expostos nas sesións de teoría. Cada exercicio puntuarase sobre 10. Logo ponderarase a súa influencia na nota total da materia en función do número de exercicios asignado.

A maioría dos exercicios consistirán no deseño de modelos non sintetizables e circuítos sintetizables en VHDL.

Será necesario entregar os ficheiros que se indican nos enunciados de cada exercicio teórico.

A nota total será a suma das notas de cada un dos boletíns de exercicios dividida polo número de boletíns:

$$ET = (\text{Boletín 1} + \dots + \text{Boletín N}) / N$$

El número estimado de boletines es de 10.

En caso de detección de copia en calquera das probas, a cualificación final será de SUSPENSO (0) e o feito será comunicado á dirección do Centro para os efectos oportunos

Bibliografía. Fontes de información

Bibliografía Básica

CHU, PONG P., **RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability**, John Wiley & Sons Inc, 2006

ÁLVAREZ RUIZ DE OJEDA, L.J., **Diseño Digital con FPGAs**, Visión libros, 2013

Bibliografía Complementaria

ASHENDEN, PETER J., **The Designer's Guide to VHDL**, 3, MorganKaufmann Publishers, 2008

Standard IEEE VHDL Language Reference Manual (IEEE Srd 1076-2001), IEEE, 2001

CHU, PONG P., **FPGA Prototyping by VHDLExamples**, John Wiley & Sons Inc, 2008

Recomendacións

Outros comentarios

O alumno deberá cursar as materias Electrónica Dixital e Circuitos Electrónicos Programables. En todas elas impártense coñecementos que serven de base ou complementan os temas que se impartirán nesta materia. Non é necesario aprobalas, pero si coñecer as materias que se imparten nestas materias.

Aos alumnos do módulo Sistemas Electrónicos, recoméndaselles cursar a materia Sistemas Electrónicos de Procesado de Sinal, pero non é imprescindible.

Plan de Continxencias

Descrición

No caso de docencia mixta ou totalmente online por alerta sanitaria, manteranse as mesmas metodoloxías docentes e as mesmas probas de avaliación.
