



DATOS IDENTIFICATIVOS

Deseño e síntese de sistemas dixitais

Materia	Deseño e síntese de sistemas dixitais			
Código	V05G300V01923			
Titulación	Grao en Enxeñaría de Tecnoloxías de Telecomunicación			
Descritores	Creditos ECTS	Sinale	Curso	Cuadrimestre
	6	OP	4	1c
Lingua de impartición	Inglés			
Departamento	Tecnoloxía electrónica			
Coordinador/a	Álvarez Ruiz de Ojeda, Luís Jacobo			
Profesorado	Álvarez Ruiz de Ojeda, Luís Jacobo			
Correo-e	jalvarez@uvigo.es			
Web	http://www.faitic.uvigo.es			
Descrición xeral	<p>A materia impártese e avalíase en inglés.</p> <p>A documentación da materia está en inglés.</p> <p>Os obxectivos que se perseguen con esta materia son:</p> <p>Introdución ao VHDL sintetizable.</p> <p>Deseño e síntese de sistemas dixitais síncronos.</p> <p>Desenvolvemento, síntese e verificación de circuitos dixitais programables, utilizando o VHDL para a súa aplicación no ámbito das Telecomunicacións.</p>			

Competencias

Código	
B1	CG1 Capacidade para redactar, desenvolver e asinar proxectos no ámbito da enxeñaría de telecomunicación que teñan por obxecto, de acordo cos coñecementos adquiridos segundo o establecido no epígrafe 5 desta orde, a concepción e o desenvolvemento ou a explotación de redes, servizos e aplicacións de telecomunicación e electrónica.
B9	CG9 Capacidade para traballar nun grupo multidisciplinar e nunha contorna multilingüe e de comunicar, tanto por escrito como de forma oral, coñecementos, procedementos, resultados e ideas relacionadas coas telecomunicacións e a electrónica.
B13	CG13 Capacidade para manexar ferramentas software que apoiem a resolución de problemas en enxeñaría.
C62	(CE62/OP5) Capacidade para deseñar e sintetizar sistemas dixitais complexos por medio de linguaxes de descrición de hardware.
D4	CT4 Favorecer o traballo cooperativo, as capacidades de comunicación, organización, planificación e aceptación de responsabilidades nun ambiente de traballo multilingüe e multidisciplinar, que favoreza a educación para a igualdade, para a paz e para o respecto dos dereitos fundamentais.

Resultados de aprendizaxe

Resultados previstos na materia	Resultados de Formación e Aprendizaxe		
Coñecer as diferenzas das linguaxes de descrición *hardware aplicados á simulación e á síntese.	B13	C62	
Profundar nas técnicas de deseño dixital *síncrono con *VHDL *sintetizable.	B13	C62	
Adquirir habilidades para o deseño de sistemas dixitais *síncronos complexos utilizando a linguaxe de descrición *hardware *VHDL.	B1	C62	D4
	B9		
	B13		

Contidos

Tema

TEMA 1 TEORÍA (2 *h.). INTRODUCCIÓN Ao DESEÑO E SÍNTESE DE SISTEMAS DIXITAIS COMPLEXOS.	1.1.- Introducción. 1.2.- Tipos de circuitos integrados dixitais. *Microprocesadores. *DSPs. *ASICs. *FPGAs. 1.2.1.- Análise comparativa. 1.3.- Conxuntos *Programables de Puertas (*FPGAs). 1.4.- Deseño de sistemas dixitais complexos de aplicación específica mediante *FPGAs. 1.4.1.- Sistemas de procesado *secuencial. Unidade operativa. Unidade de control. 1.4.2.- Sistemas de procesado continuo.
TEMA 2 TEORÍA (2 *h.). DESEÑO AVANZADO DE SISTEMAS DIXITAIS.	2.1.- Introducción. 2.2.- Normas xerais para o deseño de sistemas dixitais. 2.2.1.- Deseño xerárquico. 2.2.2.- Deseño *trasladable a outras tecnoloxías. 2.2.3.- Deseño temporal. 2.2.4.- Deseño para reutilización. 2.2.5.- Deseño para *verificabilidade. 2.2.6.- Documentación do deseño. 2.3.- Circuitos *prediseñados ([IP *cores]).
TEMA 3 TEORÍA (2 *h.). INTRODUCCIÓN Á SÍNTESE DE SISTEMAS DIXITAIS DESCRITOS EN *VHDL.	3.1.- Introducción. 3.2.- Definición de síntese. Conceptos básicos sobre sínteses. 3.3.- Conversión dunha descrición en *VHDL a [*hardware] real. Diferenzas entre o modelo orixinal e o resultado da síntese / *implementación. Modelo de simulación posterior á *implementación. 3.4.- Recomendacións para a descrición en *VHDL *sintetizable de distintos tipos de circuitos. 3.5.- Exemplos de modelos *sintetizables de circuitos comunmente utilizados.
TEMA 4 TEORÍA (6 *h.). *VHDL PARA SÍNTESE. RESTRICIÓN.	4.1.- Introducción. 4.2.- Estándar *IEEE para síntese. 4.3.- Sentenzas temporais ([*After], [*Wait]). 4.4.- Bucles ([*Loop]). Bucles [*generate]. 4.5.- Tipo de datos real ([Real]). Conversión de tipos. 4.6.- Operacións *aritméticas complexas. División ([/]). 4.7.- Funcións matemáticas complexas. ([Sen], [*Cos], [*Log]). 4.8.- Matrices *bidimensionales. ([*Array]). 4.9.- Exercicios de modelos non *sintetizables e de circuitos equivalentes *sintetizables.
TEMA 5 TEORÍA (2 *h.). DESEÑO DE CIRCUÍTO *ARITMÉTICOS EN *VHDL.	5.1.- Introducción. 5.2.- Representación de números *binarios con parte decimal. Coma fixa. Coma flotante. 5.3.- Deseño de aplicacións de coma fixa. 5.4.- Deseño de aplicacións de coma flotante. 5.5.- *Implementación de circuitos *aritméticos en *FPGAs.
TEMA 6 TEORÍA (4 *h.). SENTENZAS AVANZADAS DA LINGUAXE *VHDL.	6.1.- Introducción. 6.2.- Bibliotecas e paquetes. 6.3.- Acceso a ficheiros. 6.3.1.- *Inicialización de memorias. 6.3.2.- Estímulo para bancos de probas. 6.4.- Tipo de datos xenérico ([*generic]). Circuitos *parametrizables. 6.5.- *Subprogramas. 6.5.1.- Funcións. 6.5.2.- Procedementos. 6.6.- Compilación condicional.
TEMA 7 TEORÍA (1 *h.). VERIFICACIÓN DE SISTEMAS DIXITAIS COMPLEXOS.	7.1.- Introducción. 7.2.- Verificación mediante simulación. 7.2.1.- Sinais. Modelos de *retardos. Concepto de [*driver]. 7.2.2.- Análise e simulación dun deseño. Ciclo de simulación. Retardo delta. 7.2.3.- Recomendacións para a simulación en *VHDL de distintos circuitos. Realización de bancos de probas. 7.2.4.- Diferenzas entre simulación funcional e temporal. 7.3.- Verificación mediante análise de *retardos. 7.4.- Verificación mediante comprobación do circuito nunha placa de desenvolvemento. 7.5.- Exercicios.

TEMA 1 LABORATORIO (4 *h. TIPO *B). PRÁCTICA TUTORIAL DE DESEÑO E SÍNTESE DUN SISTEMA DIXITAL.	1.1.- Introducción. 1.2.- Deseño dun sistema dixital básico en *VHDL *sintetizable. 1.3.- Realización dun banco de probas en *VHDL para o sistema dixital deseñado. 1.4.- *Implementación do sistema dixital deseñado na *FPGA elixida. 1.5.- Proba do sistema dixital deseñado.
TEMA 2 LABORATORIO (2 *h. TIPO *B). DEPURACIÓN DUN SISTEMA DIXITAL MEDIANTE *ANALIZADORES LÓXICOS VIRTUAIS.	2.1.- Introducción. 2.2.- *Analizador lóxico virtual de *Xilinx. [*Core *Chipscope]. 2.3.- Parámetros do *analizador lóxico virtual de *Xilinx. 2.4.- *Implementación do *analizador lóxico virtual de *Xilinx. 2.5.- Análise dun sistema dixital mediante o *analizador lóxico virtual de *Xilinx.
TEMA 3 LABORATORIO. (15 *h. = 8 *H. TIPO *B + 7 *h. TIPO *C). TRABALLO DE DESEÑO DUN SISTEMA DIXITAL DE COMPLEXIDADE MEDIA MEDIANTE *VHDL *SINTETIZABLE.	3.1.- Introducción. Explicación do traballo. (2 *h. TIPO *B) 3.2.- Aprendizaxe baseada en proxectos. Discusións sobre o enfoque máis adecuado do traballo. (6 *h. TIPO *C) 3.2.- Deseño dun sistema dixital de complexidade media en *VHDL *sintetizable. (6 *h. TIPO *B) 3.3.- Presentación do traballo. (1 *h. TIPO *C)

Planificación

	Horas na aula	Horas fóra da aula	Horas totais
Lección maxistral	4	8	12
Metodoloxías integradas	15	31,5	46,5
Prácticas de laboratorio	6	7,5	13,5
Metodoloxías integradas	14	51	65
Presentacións/exposicións	1	8	9
Actividades introductorias	2	2	4

*Os datos que aparecen na táboa de planificación son de carácter orientador, considerando a heteroxeneidade do alumnado.

Metodoloxía docente

	Descrición
Lección maxistral	Presentación por parte do profesor do temario da materia. Con esta metodoloxía se desarrolla la competencia CE62/OP5.
Metodoloxías integradas	Aprendizaxe baseada en problemas (*ABP): Resolución de problemas de deseño de modelos non *sintetizables e circuítos *sintetizables en *VHDL expostos polo profesor. Para resolvelos, o alumno debe desenvolver previamente determinadas competencias. Con esta metodoloxía se desarrollan las competencias CG9, CG13 y CE62/OP5.
Prácticas de laboratorio	Nestas prácticas exporase o desenvolvemento de prácticas guiadas de realización de circuítos en *VHDL. Con esta metodoloxía se desarrollan las competencias CG9, CG13 y CE62/OP5.
Metodoloxías integradas	Aprendizaxe baseada en problemas (*ABP): Resolución de problemas de deseño de modelos non *sintetizables e circuítos *sintetizables en *VHDL expostos polo profesor. Para resolvelos, o alumno debe desenvolver previamente determinadas competencias. Con esta metodoloxía se desarrollan las competencias CG1, CG9, CG13 y CE62/OP5.
Presentacións/exposicións	Presentacións/exposicións: Exposición dos resultados do proxecto realizado. s Con esta metodoloxía se desarrollan las competencias CG1 e CG9.
Actividades introductorias	Introducción aos diferentes temas clave da materia tanto na súa compoñente teórica como práctica. Con esta metodoloxía se desarrollan las competencias CG13 y CE62/OP5.

Atención personalizada

Metodoloxías	Descrición
Metodoloxías integradas	Nas clases presenciais atenderanse as dúbidas dos alumnos. Ademais, os estudantes terán ocasión de acudir a *tutorías personalizadas no despacho dos profesores da materia no horario que os profesores establecerán para ese efecto a principio de curso e que se publicará na páxina da materia.

Prácticas de laboratorio	Nas clases presenciais atenderanse as dúbidas dos alumnos. Ademais, os estudantes terán ocasión de acudir a *tutorías personalizadas no despacho dos profesores da materia no horario que os profesores establecerán para ese efecto a principio de curso e que se publicará na páxina da materia.
Metodoloxías integradas	Nas clases presenciais atenderanse as dúbidas dos alumnos. Ademais, os estudantes terán ocasión de acudir a *tutorías personalizadas no despacho dos profesores da materia no horario que os profesores establecerán para ese efecto a principio de curso e que se publicará na páxina da materia.

Avaliación					
	Descrición	Cualificación	Resultados de Formación e Aprendizaxe		
Metodoloxías integradas	Aprendizaxe baseada en problemas. Resolución de exercicios e problemas teóricos. A maioría deles centraranse no deseño de modelos non sintetizables e circuitos sintetizables en VHDL. O contido correspóndese cos temas de teoría. Será necesario ensinar ao profesor o funcionamento de cada un dos modelos e circuitos. Avaliarase a correcta aplicación dos conceptos teóricos aos problemas realizados, de acordo aos criterios de valoración. Será necesario entregar a documentación solicitada polo profesor para cada un dos exercicios realizados. Con esta metodoloxía se avalian las competencias CG9, CG13 y CE62/OP5.	50	B13	C62	
Metodoloxías integradas	Ensino baseado en proxectos. Traballo autónomo de deseño dun sistema dixital sintetizable de complexidade media en VHDL. Será necesario entregar os ficheiros fonte do traballo realizado. Avaliarase o funcionamento do sistema dixital realizado e a correcta aplicación dos conceptos teóricos ao deseño do sistema dixital, de acordo aos criterios de valoración. Con esta metodoloxía se avalian las competencias CG1, CG9, CG13 y CE62/OP5.	40	B1 B9 B13	C62	D4
Presentacións/exposicións	Será necesario realizar unha presentación oral de máximo 15 minutos sobre o traballo práctico autónomo realizado, segundo o índice fornecido polo profesor. Con esta metodoloxía se avalian las competencias CG1, e CG9.	10	B1 B9	D4	

Outros comentarios sobre a Avaliación

A nota da materia será a suma das notas correspondentes ás distintas tarefas da materia.

A nota dos exercicios teóricos debe ser maior ou igual que 5 sobre 10 para poder aprobar a materia.

A nota do traballo práctico autónomo debe ser maior ou igual que 5 sobre 10 para poder aprobar a materia.

Todos os alumnos, tanto os que sigan a materia de forma continua como os que queiran ser avaliados unicamente ao final do cuadrimestre ou ao final do curso, deberán realizar as tarefas descritas no apartado anterior.

Os alumnos que non asistan a clase regularmente deberán realizar as mesmas tarefas que os alumnos asistentes a clase.

A cualificación final expresarase de forma numérica entre 0 e 10, segundo a lexislación vixente (Real Decreto 1125/2003 de 5 de Setembro; BOE 18 de setembro)..

Seguindo as directrices propias da titulación ofrecerase aos alumnos que cursen esta materia dous sistemas de avaliación: avaliación continua e avaliación ao final do cuadrimestre.

AVALIACIÓN CONTINUA:

O feito de realizar 2 prácticas de laboratorio ou 2 boletíns de exercicios teóricos supón que o alumno opta pola avaliación continua.

Os alumnos que opten por avaliación continua, pero non aproben a materia mediante esta modalidade, deberán realizar a

avaliación final completa ao final do curso (segunda oportunidade).

Os alumnos que aproben a materia mediante avaliación continua non poderán repetir de novo na avaliación final ningunha tarefa co obxectivo de subir a nota.

As distintas tarefas deben entregarse na data especificada polo profesor. Se non é así, non serán cualificadas para a avaliación continua.

Os alumnos realizarán os exercicios teóricos e as prácticas de laboratorio de forma individual. Os traballos de laboratorio realizaranse en grupos de dous alumnos durante a avaliación continua, mais evaluarase aos alumnos individualmente, para o cal pedirase aos alumnos na exposición oral que indiquen qué parte do traballo realizaron cada un.

Se se segue a materia de forma continua, pódese faltar como máximo a 2 sesións presenciais. Se se faltou a máis de 2 sesións, será obrigatorio realizar un traballo individual adicional ou un exame.

AVALIACIÓN FINAL

Os alumnos que opten pola avaliación final deberán realizar todas as tarefas teóricas e prácticas e os traballos individualmente.

A entrega das tarefas para a avaliación final debe realizarse antes da data oficial do exame establecida polo centro.

En caso de superar os exercicios teóricos (ET) e o traballo autónomo (TA), é dicir, que a nota de cada parte ≥ 5 , a cualificación final (NF) será a suma ponderada das notas de cada parte da materia:

$$NF = 0,50 * ET + 0,40 * TA + 0,10 * PO$$

I En caso de non superar as dúas probas (nota dalgunha proba < 5), a cualificación final (*NF) será:

$$INF = \text{mínimo} [4,5; (NF = 0,50 * ET + 0,40 * TA + 0,10 * PO)] \text{ sendo:}$$

ET = Nota conxunta dos exercicios e problemas teóricos.

TA = Traballo Autónomo práctico.

PO = Presentación Oral.

CRITERIOS DE AVALIACIÓN.

1) Exercicios e problemas teóricos.

Avaliarase cada un dos exercicios e problemas expostos nas sesións de teoría. Cada exercicio puntuarase sobre 10. Logo ponderarase a súa influencia na nota total da materia en función do número de exercicios asignado.

Haberá oito boletíns de exercicios.

A maioría dos exercicios consistirán no deseño de modelos non sintetizables e circuítos sintetizables en VHDL.

Os criterios de valoración son os seguintes:

1. Corrección do deseño (CORR).

a. Modelo de comportamento axustado ás especificacións do traballo.

b. Deseño síncrono.

c. Deseño reutilizable.

2. Funcionalidade (FUNC). Para cada un dos exercicios, a simulación funcional do modelo do circuítos debe funcionar perfectamente para obter a máxima nota. Se o circuítos é sintetizable, a simulación temporal do circuítos resultante tamén debe funcionar perfectamente.

a. Simulación funcional.

b. Síntese.

c. Simulación temporal.

3. Documentación do traballo (DOC).

i. Ficheiros fonte de deseño.

ii. Comentarios suficientes nos ficheiros VHDL para a súa comprensión.

Será necesario entregar os ficheiros que se indican nos enunciados de cada exercicio teórico.

A nota total será a suma das notas de cada un dos boletíns de exercicios dividida polo número de boletíns:

$$ET = (\text{Boletín 1} + \dots + \text{Boletín 8}) / 8$$

2) Traballo práctico.

Traballos de deseño dun sistema dixital sintetizable de complexidade media en VHDL.

Os criterios de valoración son os seguintes:

1) Corrección do deseño (CORR).

a. Sistema completamente sintetizable.

b. Organización adecuada da xerarquía.

c. Deseño totalmente síncrono.

d. Deseño independente da tecnoloxía.

e. Deseño reutilizable.

2) Análise do deseño e a implementación con FPGAs (ANA).

a. Analizar os recursos lóxicos da FPGA utilizados e razoar a súa necesidade.

b. Analizar de forma razoada os retardos internos do sistema implementado.

c. Analizar de forma razoada as opcións de implementación elixidas.

d. Utilización óptima dos recursos lóxicos da *FPGA.

e. Consecución dunha velocidade de proceso óptima.

f. Verificación mediante [Chipscope].

3) Funcionalidade (FUNC). Para cada un dos apartados, tanto a simulación funcional e temporal dos diferentes circuítos

"hardware" e do sistema completo como a proba na placa de desenvolvemento deben funcionar perfectamente para obter a máxima nota.

a. Circuítos individuais.

b. Sistema completo.

4) Documentación (DOC).

i. Ficheiros fonte de deseño.

1. Comentarios suficientes nos ficheiros VHDL para a súa comprensión.

Para o traballo práctico autónomo (TA), será necesario realizar unha presentación oral.

3) Presentación do traballo.

i. Exposición oral.

1. Estrutura clara e ordenada.

2. Explicacións claras.

3. Explicacións suficientes para a comprensión do traballo realizado.

4. Inclusión de figuras adecuadas.

5. Inclusión de datos relevantes.

Bibliografía. Fuentes de información

Bibliografía Básica

CHU, PONG P., **RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability**, John Wiley & Sons Inc, 2006

ÁLVAREZ RUIZ DE OJEDA, L.J., **Diseño Digital con FPGAs**, Visión libros, 2013

Bibliografía Complementaria

ASHENDEN, PETER J., **The Designer's Guide to VHDL**, 3, Morgan Kaufmann Publishers, 2008

Standard IEEE VHDL Language Reference Manual (IEEE Std 1076-2001), IEEE, 2001

CHU, PONG P., **FPGA Prototyping by VHDL Examples**, John Wiley & Sons Inc, 2008

Recomendaciones

Materias que se recomienda tener cursado previamente

Electrónica digital/V05G300V01402

Circuitos electrónicos programables/V05G300V01502

Outros comentarios

El alumno deberá haber cursado las asignaturas Electrónica Digital y Circuitos Electrónicos Programables. En todas ellas se imparten conocimientos que sirven de base o complementan los temas que se impartirán en esta asignatura.

No es necesario haberlas aprobado, pero sí conocer las materias que se imparten en estas asignaturas.

A los alumnos del módulo Sistemas Electrónicos, se les recomienda haber cursado la asignatura Sistemas Electrónicos de Procesado de Señal, pero no es imprescindible.