



DATOS IDENTIFICATIVOS

Diseño y síntesis de sistemas digitales

Asignatura	Diseño y síntesis de sistemas digitales			
Código	V05G300V01923			
Titulación	Grado en Ingeniería de Tecnologías de Telecomunicación			
Descriptor	Creditos ECTS	Seleccione	Curso	Cuatrimestre
	6	OP	4	1c
Lengua Impartición	Inglés			
Departamento	Tecnología electrónica			
Coordinador/a	Álvarez Ruiz de Ojeda, Luís Jacobo			
Profesorado	Álvarez Ruiz de Ojeda, Luís Jacobo			
Correo-e	jalvarez@uvigo.es			
Web	http://www.faitic.uvigo.es			
Descripción general	<p>La asignatura se imparte y se evalúa en inglés. La documentación de la asignatura está en inglés. Los objetivos que se persiguen con esta asignatura son:</p> <ul style="list-style-type: none"> <input type="checkbox"/> Introducción al VHDL sintetizable. <input type="checkbox"/> Diseño y síntesis de sistemas digitales síncronos. <input type="checkbox"/> Desarrollo, síntesis y verificación de circuitos digitales programables, utilizando el VHDL para su aplicación en el ámbito de las Telecomunicaciones. 			

Competencias

Código	
B1	CG1 Capacidad para redactar, desarrollar y firmar proyectos en el ámbito de la ingeniería de telecomunicación que tengan por objeto, de acuerdo con los conocimientos adquiridos según lo establecido en el apartado 5 de esta orden, la concepción y el desarrollo o la explotación de redes, servicios y aplicaciones de telecomunicación y electrónica.
B9	CG9 Capacidad para trabajar en un grupo multidisciplinar y en un entorno multilingüe y de comunicar, tanto por escrito como de forma oral, conocimientos, procedimientos, resultados e ideas relacionadas con las telecomunicaciones y la electrónica.
B13	CG13 Capacidad para manejar herramientas software que apoyen la resolución de problemas en ingeniería.
C62	(CE62/OP5) Capacidad para diseñar y sintetizar sistemas digitales complejos por medio de lenguajes de descripción de hardware.
D4	CT4 Favorecer el trabajo cooperativo, las capacidades de comunicación, organización, planificación y aceptación de responsabilidades en un ambiente de trabajo multilingüe y multidisciplinar, que favorezca la educación para la igualdad, para la paz y para el respeto de los derechos fundamentales.

Resultados de aprendizaje

Resultados previstos en la materia	Resultados de Formación y Aprendizaje		
Conocer las diferencias de los lenguajes de descripción hardware aplicados a la simulación y a la síntesis.	B13	C62	
Profundizar en las técnicas de diseño digital síncrono con VHDL sintetizable.	B13	C62	
Adquirir habilidades para el diseño de sistemas digitales síncronos complejos utilizando el lenguaje de descripción hardware VHDL.	B1 B9 B13	C62	D4

Contenidos

Tema

TEMA 1 TEORÍA (2 h.). INTRODUCCIÓN AL DISEÑO Y SÍNTESIS DE SISTEMAS DIGITALES COMPLEJOS.	<ul style="list-style-type: none"> 1.1.- Introducción. 1.2.- Tipos de circuitos integrados digitales. Microprocesadores. DSPs. ASICs. FPGAs. <ul style="list-style-type: none"> 1.2.1.- Análisis comparativo. 1.3.- Conjuntos Programables de Puertas (FPGAs). 1.4.- Diseño de sistemas digitales complejos de aplicación específica mediante FPGAs. <ul style="list-style-type: none"> 1.4.1.- Sistemas de procesamiento secuencial. Unidad operativa. Unidad de control. 1.4.2.- Sistemas de procesamiento continuo.
TEMA 2 TEORÍA (2 h.). DISEÑO AVANZADO DE SISTEMAS DIGITALES.	<ul style="list-style-type: none"> 2.1.- Introducción. 2.2.- Normas generales para el diseño de sistemas digitales. <ul style="list-style-type: none"> 2.2.1.- Diseño jerárquico. 2.2.2.- Diseño trasladable a otras tecnologías. 2.2.3.- Diseño temporal. 2.2.4.- Diseño para reutilización. 2.2.5.- Diseño para verificabilidad. 2.2.6.- Documentación del diseño. 2.3.- Circuitos prediseñados ([IP cores]).
TEMA 3 TEORÍA (2 h.). INTRODUCCIÓN A LA SÍNTESIS DE SISTEMAS DIGITALES DESCRITOS EN VHDL.	<ul style="list-style-type: none"> 3.1.- Introducción. 3.2.- Definición de síntesis. Conceptos básicos sobre síntesis. 3.3.- Conversión de una descripción en VHDL a [hardware] real. Diferencias entre el modelo original y el resultado de la síntesis / implementación. Modelo de simulación posterior a la implementación. 3.4.- Recomendaciones para la descripción en VHDL sintetizable de distintos tipos de circuitos. 3.5.- Ejemplos de modelos sintetizables de circuitos comúnmente utilizados.
TEMA 4 TEORÍA (6 h.). VHDL PARA SÍNTESIS. RESTRICCIONES.	<ul style="list-style-type: none"> 4.1.- Introducción. 4.2.- Estándar IEEE para síntesis. 4.3.- Sentencias temporales ([After], [Wait]). 4.4.- Bucles ([Loop]). Bucles [generate]. 4.5.- Tipo de datos real ([Real]). Conversión de tipos. 4.6.- Operaciones aritméticas complejas. División ([/]). 4.7.- Funciones matemáticas complejas. ([Sin], [Cos], [Log]). 4.8.- Matrices bidimensionales. ([Array]). 4.9.- Ejercicios de modelos no sintetizables y de circuitos equivalentes sintetizables.
TEMA 5 TEORÍA (2 h.). DISEÑO DE CIRCUITOS ARITMÉTICOS EN VHDL.	<ul style="list-style-type: none"> 5.1.- Introducción. 5.2.- Representación de números binarios con parte decimal. Coma fija. Coma flotante. 5.3.- Diseño de aplicaciones de coma fija. 5.4.- Diseño de aplicaciones de coma flotante. 5.5.- Implementación de circuitos aritméticos en FPGAs.
TEMA 6 TEORÍA (4 h.). SENTENCIAS AVANZADAS DEL LENGUAJE VHDL.	<ul style="list-style-type: none"> 6.1.- Introducción. 6.2.- Bibliotecas y paquetes. 6.3.- Acceso a ficheros. <ul style="list-style-type: none"> 6.3.1.- Inicialización de memorias. 6.3.2.- Estímulos para bancos de pruebas. 6.4.- Tipo de datos genérico ([generic]). Circuitos parametrizables. 6.5.- Subprogramas. <ul style="list-style-type: none"> 6.5.1.- Funciones. 6.5.2.- Procedimientos. 6.6.- Compilación condicional.
TEMA 7 TEORÍA (1 h.). VERIFICACIÓN DE SISTEMAS DIGITALES COMPLEJOS.	<ul style="list-style-type: none"> 7.1.- Introducción. 7.2.- Verificación mediante simulación. <ul style="list-style-type: none"> 7.2.1.- Señales. Modelos de retardos. Concepto de [driver]. 7.2.2.- Análisis y simulación de un diseño. Ciclo de simulación. Retardo delta. 7.2.3.- Recomendaciones para la simulación en VHDL de distintos circuitos. Realización de bancos de pruebas. 7.2.4.- Diferencias entre simulación funcional y temporal. 7.3.- Verificación mediante análisis de retardos. 7.4.- Verificación mediante comprobación del circuito en una placa de desarrollo. 7.5.- Ejercicios.

TEMA 1 LABORATORIO (4 h. TIPO B). PRÁCTICA TUTORIAL DE DISEÑO Y SÍNTESIS DE UN SISTEMA DIGITAL.	1.1.- Introducción. 1.2.- Diseño de un sistema digital básico en VHDL sintetizable. 1.3.- Realización de un banco de pruebas en VHDL para el sistema digital diseñado. 1.4.- Implementación del sistema digital diseñado en la FPGA elegida. 1.5.- Prueba del sistema digital diseñado.
TEMA 2 LABORATORIO (2 h. TIPO B). DEPURACIÓN DE UN SISTEMA DIGITAL MEDIANTE ANALIZADORES LÓGICOS VIRTUALES.	2.1.- Introducción. 2.2.- Analizador lógico virtual de Xilinx. [Core Chipscope]. 2.3.- Parámetros del analizador lógico virtual de Xilinx. 2.4.- Implementación del analizador lógico virtual de Xilinx. 2.5.- Análisis de un sistema digital mediante el analizador lógico virtual de Xilinx.
TEMA 3 LABORATORIO. (15 h. = 8 H. TIPO B + 7 h. TIPO C). TRABAJO DE DISEÑO DE UN SISTEMA DIGITAL DE COMPLEJIDAD MEDIA MEDIANTE VHDL SINTETIZABLE.	3.1.- Introducción. Explicación del trabajo. (2 h. TIPO B) 3.2.- Aprendizaje basado en proyectos. Discusiones sobre el enfoque más adecuado del trabajo. (6 h. TIPO C) 3.2.- Diseño de un sistema digital de complejidad media en VHDL sintetizable. (6 h. TIPO B) 3.3.- Presentación del trabajo. (1 h. TIPO C)

Planificación

	Horas en clase	Horas fuera de clase	Horas totales
Sesión magistral	4	8	12
Metodologías integradas	15	31,5	46,5
Prácticas de laboratorio	6	7,5	13,5
Metodologías integradas	14	51	65
Presentaciones/exposiciones	1	8	9
Actividades introductorias	2	2	4

*Los datos que aparecen en la tabla de planificación son de carácter orientativo, considerando la heterogeneidad de alumnado

Metodologías

	Descripción
Sesión magistral	Presentación por parte del profesor del temario de la asignatura. Con esta metodología se desarrolla la competencia CE62/OP5.
Metodologías integradas	Aprendizaje basada en problemas (ABP): Resolución de problemas de diseño de modelos no sintetizables y circuitos sintetizables en VHDL planteados por el profesor. Para resolverlos, el alumno debe desarrollar previamente determinadas competencias. Con esta metodología se desarrollan las competencias CG9, CG13 y CE62/OP5.
Prácticas de laboratorio	En estas prácticas se planteará el desarrollo de prácticas guiadas de realización de circuitos en VHDL. Con esta metodología se desarrollan las competencias CG9, CG13 y CE62/OP5.
Metodologías integradas	Enseñanza basada en proyectos de aprendizaje: Se propone a los alumnos la realización de un proyecto de diseño de un sistema digital en VHDL para resolver un problema planteado por el profesor mediante la planificación, diseño y realización de las actividades necesarias. La parte presencial del desarrollo de los proyectos se realizará en horas de laboratorio de tipo B. Además, se dispondrá de grupos pequeños en horas de tipo C que permitirán realizar un seguimiento de los proyectos a desarrollar en la asignatura. Actividades a desarrollar en los grupos C: Análisis y debate sobre el enfoque de los proyectos a realizar. Alternativas de diseño. Análisis y seguimiento de la solución propuesta. Demostración del funcionamiento de los sistemas diseñados. Análisis y debate de resultados. Con esta metodología se desarrollan las competencias CG1, CG9, CG13 y CE62/OP5.
Presentaciones/exposiciones	Presentaciones/exposiciones: Exposición de los resultados del proyecto realizado. Con esta metodología se desarrollan las competencias CG1 y CG9.
Actividades introductorias	Introducción a los diferentes temas clave de la asignatura tanto en su componente teórica como práctica. Con esta metodología se desarrollan las competencias CG13 y CE62/OP5.

Atención personalizada

Metodologías	Descripción
--------------	-------------

Metodologías integradas	En las clases presenciales se atenderán las dudas de los alumnos. Además, los estudiantes tendrán ocasión de acudir a tutorías personalizadas en el despacho de los profesores de la asignatura en el horario que los profesores establecerán a tal efecto a principio de curso y que se publicará en la página de la asignatura.
Prácticas de laboratorio	En las clases presenciales se atenderán las dudas de los alumnos. Además, los estudiantes tendrán ocasión de acudir a tutorías personalizadas en el despacho de los profesores de la asignatura en el horario que los profesores establecerán a tal efecto a principio de curso y que se publicará en la página de la asignatura.
Metodologías integradas	En las clases presenciales se atenderán las dudas de los alumnos. Además, los estudiantes tendrán ocasión de acudir a tutorías personalizadas en el despacho de los profesores de la asignatura en el horario que los profesores establecerán a tal efecto a principio de curso y que se publicará en la página de la asignatura.

Evaluación

	Descripción	Calificación	Resultados de Formación y Aprendizaje		
Metodologías integradas	Aprendizaje basada en problemas. Resolución de ejercicios y problemas teóricos. La mayoría de ellos se centrarán en el diseño de modelos no sintetizables y circuitos sintetizables en VHDL. El contenido se corresponde con los temas de teoría. Será necesario enseñar al profesor el funcionamiento de cada uno de los modelos y circuitos. Se evaluará la correcta aplicación de los conceptos teóricos a los problemas realizados, de acuerdo a los criterios de valoración. Será necesario entregar la documentación solicitada por el profesor para cada uno de los ejercicios realizados. Con esta metodología se evalúan las competencias CG9, CG13 y CE62/OP5.	50	B13	C62	
Metodologías integradas	Enseñanza basada en proyectos. Trabajo autónomo de diseño de un sistema digital sintetizable de complejidad media en VHDL. Será necesario entregar los ficheros fuente del trabajo realizado. Se evaluará el funcionamiento del sistema digital realizado y la correcta aplicación de los conceptos teóricos al diseño del sistema digital, de acuerdo a los criterios de valoración. Con esta metodología se evalúan las competencias CG1, CG9, CG13 y CE62/OP5.	40	B1 B9 B13	C62	D4
Presentaciones/exposiciones	Será necesario realizar una presentación oral de máximo 15 minutos sobre el trabajo práctico autónomo realizado, según el índice suministrado por el profesor. Con esta metodología se evalúan las competencias CG1 y CG9.	10	B1 B9	D4	

Otros comentarios sobre la Evaluación

La nota de la asignatura será la suma de las notas correspondientes a las distintas tareas de la asignatura.

La nota de los ejercicios teóricos debe ser mayor o igual que 5 sobre 10 para poder aprobar la asignatura.

La nota del trabajo práctico autónomo debe ser mayor o igual que 5 sobre 10 para poder aprobar la asignatura.

Todos los alumnos, tanto los que sigan la asignatura de forma continua como los que quieran ser evaluados únicamente al final del cuatrimestre o a final de curso, deberán realizar las tareas descritas en el apartado anterior.

Los alumnos que no asistan a clase regularmente deberán realizar las mismas tareas que los alumnos asistentes a clase.

La calificación final se expresará de forma numérica entre 0 y 10, según la legislación vigente (Real Decreto 1125/2003 de 5 de Septiembre; BOE 18 de septiembre).

Siguiendo las directrices propias de la titulación se ofrecerá a los alumnos que cursen esta materia dos sistemas de evaluación: evaluación continua y evaluación al final del cuatrimestre.

EVALUACIÓN CONTINUA:

El hecho de realizar 2 prácticas de laboratorio y/o 2 boletines de ejercicios teóricos supone que el alumno opta por la evaluación continua.

Los alumnos que opten por evaluación continua, pero no aprueben la asignatura mediante esta modalidad, deberán realizar la evaluación final completa en la evaluación final de curso (segunda oportunidad).

Los alumnos que aprueben la asignatura mediante evaluación continua no podrán repetir de nuevo en la evaluación final ninguna tarea con el objetivo de subir la nota.

Las distintas tareas deben entregarse en la fecha especificada por el profesor. Si no es así, no serán calificadas para la evaluación continua.

Los alumnos realizarán los ejercicios teóricos y las prácticas de laboratorio de forma individual. Los trabajos de laboratorio se realizarán en grupos de dos alumnos durante la evaluación continua pero se evaluará a los alumnos individualmente, para lo cual se pedirá a los alumnos en la exposición oral que indiquen qué parte del trabajo han realizado cada uno.

Si se sigue la asignatura de forma continua, se puede faltar como máximo a 2 sesiones presenciales. Si se ha faltado a más de 2 sesiones, será obligatorio realizar un trabajo individual adicional o un examen.

EVALUACIÓN FINAL

Los alumnos que opten por la evaluación final deberán realizar todas las tareas teóricas y prácticas y los trabajos individualmente.

La entrega de las tareas para la evaluación final debe realizarse antes de la fecha oficial del examen establecida por el centro.

En caso de superar los ejercicios teóricos (ET) y el trabajo autónomo (TA), es decir, que la nota de cada parte ≥ 5 , la calificación final (NF) será la suma ponderada de las notas de cada parte de la asignatura:

$$NF = 0,50 * ET + 0,40 * TA + 0,10 * PO$$

En caso de no superar las dos pruebas (nota de alguna prueba < 5), la calificación final (NF) será:

$$NF = \text{mínimo} [4,5; (NF = 0,50 * ET + 0,40 * TA + 0,10 * PO)]$$

siendo:

ET = Nota conjunta de los ejercicios y problemas teóricos.

TA = Trabajo Autónomo práctico.

PO = Presentación Oral.

CRITERIOS DE EVALUACIÓN.

1) Ejercicios y problemas teóricos.

Se evaluará cada uno de los ejercicios y problemas planteados en las sesiones de teoría. Cada ejercicio se puntuará sobre 10. Luego se ponderará su influencia en la nota total de la asignatura en función del número de ejercicios asignado.

Habrán ocho boletines de ejercicios.

La mayoría de los ejercicios consistirán en el diseño de modelos no sintetizables y circuitos sintetizables en VHDL.

Los criterios de valoración son los siguientes:

1. Corrección del diseño (CORR).

a. Modelo de comportamiento ajustado a las especificaciones del trabajo.

b. Diseño síncrono.

c. Diseño reutilizable.

2. Funcionalidad (FUNC). Para cada uno de los ejercicios, la simulación funcional del modelo del circuito debe funcionar perfectamente para obtener la máxima nota. Si el circuito es sintetizable, la simulación temporal del circuito resultante también debe funcionar perfectamente.

a. Simulación funcional.

b. Síntesis.

c. Simulación temporal.

3. Documentación del trabajo (DOC).

a. Ficheros fuente de diseño.

b. Comentarios suficientes en los ficheros VHDL para su comprensión.

Será necesario entregar los ficheros que se indican en los enunciados de cada ejercicio teórico.

La nota total será la suma de las notas de cada uno de los boletines de ejercicios dividida por el número de boletines:

$$ET = (\text{Boletín 1} + \dots + \text{Boletín 8}) / 8$$

2) Trabajo práctico.

Trabajos de diseño de un sistema digital sintetizable de complejidad media en VHDL.

Los criterios de valoración son los siguientes:

1. Corrección del diseño (CORR).

a. Sistema completamente sintetizable.

b. Organización adecuada de la jerarquía.

c. Diseño totalmente síncrono.

d. Diseño independiente de la tecnología.

e. Diseño reutilizable.

2. Análisis del diseño y la implementación con FPGAs (ANA).

a. Analizar los recursos lógicos de la FPGA utilizados y razonar su necesidad.

b. Analizar de forma razonada los retardos internos del sistema implementado.

c. Analizar de forma razonada las opciones de implementación elegidas.

d. Utilización óptima de los recursos lógicos de la FPGA.

e. Consecución de una velocidad de proceso óptima.

f. Verificación mediante [Chipscope].

3. Funcionalidad (FUNC). Para cada uno de los apartados, tanto la simulación funcional y temporal de los diferentes circuitos [hardware] y del sistema completo como la prueba en la placa de desarrollo deben funcionar perfectamente para obtener la máxima nota.

a. Circuitos individuales.

b. Sistema completo.

4. Documentación (DOC).

a. Ficheros fuente de diseño.

b. Comentarios suficientes en los ficheros VHDL para su comprensión.

Para el trabajo práctico autónomo (TA), será necesario realizar una presentación oral.

3) Presentación del trabajo.

Los criterios de valoración son los siguientes:

1. Exposición oral.
 - a. Estructura clara y ordenada.
 - b. Explicaciones claras.
 - c. Explicaciones suficientes para la comprensión del trabajo realizado.
 - d. Inclusión de figuras adecuadas.
 - e. Inclusión de datos relevantes.

Fuentes de información

Bibliografía Básica

CHU, PONG P., **RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability**, John Wiley & Sons Inc, 2006

ÁLVAREZ RUIZ DE OJEDA, L.J., **Diseño Digital con FPGAs**, Visión libros, 2013

Bibliografía Complementaria

ASHENDEN, PETER J., **The Designer's Guide to VHDL**, 3, MorganKaufmann Publishers, 2008

Standard IEEE VHDL Language Reference Manual (IEEE Srd 1076-2001), IEEE, 2001

CHU, PONG P., **FPGA Prototyping by VHDLExamples**, John Wiley & Sons Inc, 2008

Recomendaciones

Asignaturas que se recomienda haber cursado previamente

Electrónica digital/V05G300V01402

Circuitos electrónicos programables/V05G300V01502

Otros comentarios

El alumno deberá haber cursado las asignaturas Electrónica Digital y Circuitos Electrónicos Programables. En todas ellas se imparten conocimientos que sirven de base o complementan los temas que se impartirán en esta asignatura.

No es necesario haberlas aprobado, pero sí conocer las materias que se imparten en estas asignaturas.

A los alumnos del módulo [Sistemas Electrónicos], se les recomienda haber cursado la asignatura Sistemas Electrónicos de Procesado de Señal, pero no es imprescindible.